

Cykl III ćwiczenie 3

Temat: Badanie układów logicznych

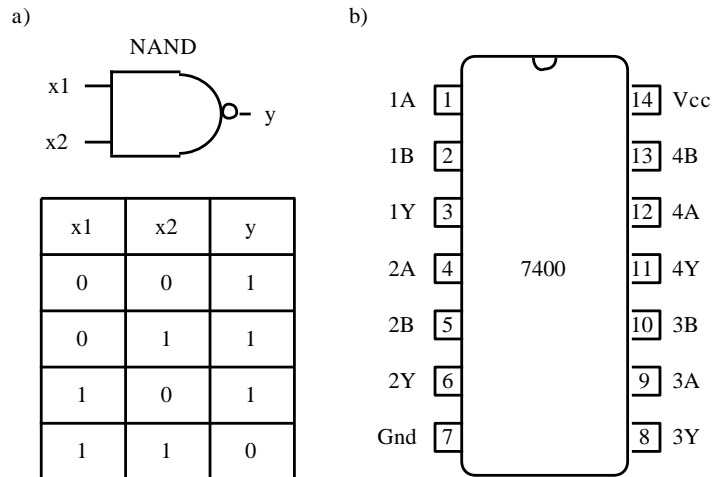
Ćwiczenie składa się z dwóch podtematów: Poziomy TTL układów logicznych oraz Synteza układów kombinacyjnych

Podtemat: Poziomy TTL układów logicznych

1. Wprowadzenie

Przy budowie układów logicznych korzystamy z pojęcia *zmienną logiczną*. W przeciwieństwie do zwykłej algebry zmienna ta może przyjmować tylko dwie wartości nazywane *zerem logicznym* (oznaczenie „0” lub „L”) i *jedynką logiczną* (oznaczenie „1” lub „H”). Do operacji na zmiennych logicznych wykorzystuje się scalone układy logiczne.

Poniżej, na rys. 1-1 pokazano symbol bramki logicznej NAND oraz opis wyprowadzeń układu scalonego 7400 wykonanego w standardowej technologii TTL zawierającego cztery bramki tego typu.



Rys. 1-1. a) symbol bramki logicznej NAND oraz tablica prawdy b) opis wyprowadzeń układu 7400

Wyprowadzenia x1 oraz x2 bramki NAND pełnią funkcję wejść, a końcówka y rolę wyjścia. Zgodnie z tabelą prawdy jedynie podanie na oba wejścia układu stanu wysokiego skutkuje pojawieniem się stanu niskiego na wyjściu. Wyprowadzenia 1A i 1B z rysunku 1-1b odpowiadają wejściom x1 i x2, a końcówka 1Y wyjściu y. Podobnie ma się sytuacja dla pozostałych trzech bramek układu. Wyprowadzenia V_{cc} oraz Gnd służą do podłączenia zasilania i masy do układu. Standardowym napięciem zasilania układów serii TTL jest +5V.

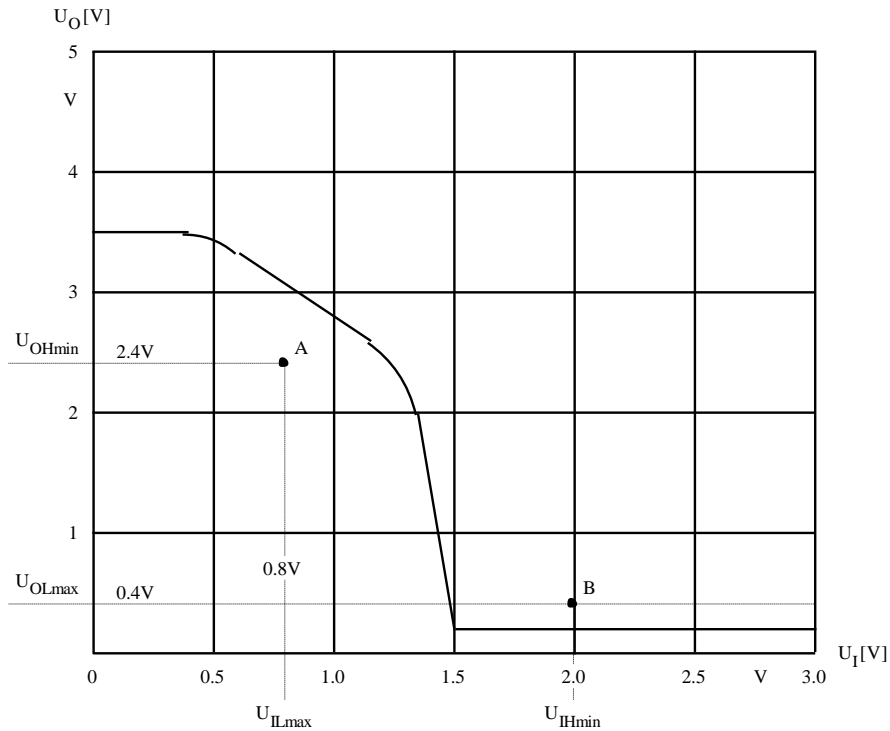
Odpowiednim stanom logicznym na wejściach i wyjściach układu odpowiadają konkretne wartości napięć. Dla standardowej serii TTL typowe napięcie wejściowe dla stanu wysokiego wynosi $U_{IHtyp}=3,5\text{ V}$ (minimalne $U_{IHmin}=2,0\text{ V}$), a dla stanu niskiego $U_{ILtyp}=0,2\text{ V}$ (maksymalne $U_{ILmax}=0,8\text{ V}$). Dla wyjścia typowe napięcie w stanie wysokim wynosi $U_{OHtyp}=3,5\text{ V}$ (minimalne $U_{OHmin}=2,4\text{ V}$), a w stanie niskim $U_{OLtyp}=0,2\text{ V}$ (maksymalnie $U_{OLmax}=0,4\text{ V}$)¹.

Wartości te należy interpretować w następujący sposób. Jeżeli przykładowo dla bramki z rys. 1-1a chcemy uzyskać ($x1=1, x2=1 \Rightarrow y=0$) należy na oba wejścia podać napięcie nie mniejsze od $U_{IHmin}=2,0\text{ V}$. Jeżeli na wyjściu pojawi się napięcie nie większe od $U_{OLmax}=0,4\text{ V}$

¹ Dla napięcia zasilania układu równego +5V.

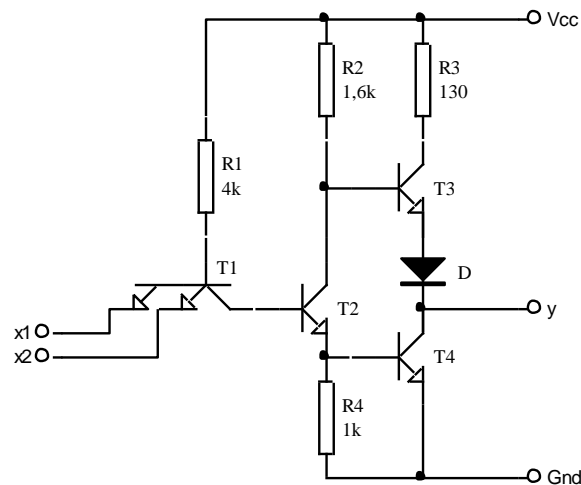
znaczy to, że układ działa poprawnie. Podobnie dla ($x_1=0, x_2=0 \Rightarrow y=1$) na wejścia należy podać $U_{ILmax}=0,8$ V. Prawidłowo działający układ powinien wystawić na wyjściu napięcie nie mniejsze od $U_{OHmin}=2,4$ V.

Na rys. 1-2 pokazano typowy przebieg charakterystyki przejściowej bramki NAND wykonanej w technologii TTL. Zgodnie z tym co pokazano na rysunku charakterystyka przejściowa prawidłowo działającej bramki NAND powinna przebiegać nad punktem A oraz poniżej punktu B.



Rys. 1-2. Charakterystyka przejściowa podstawowej bramki NAND TTL [1]

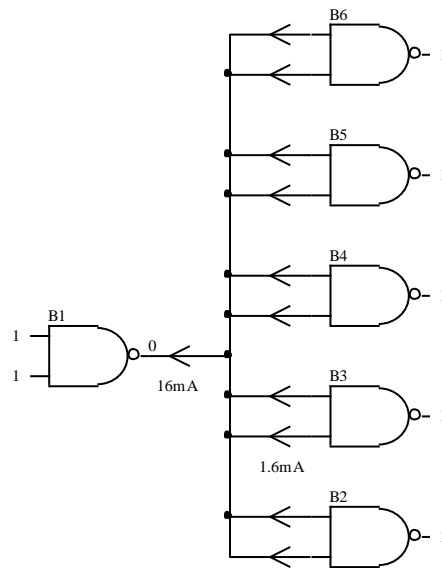
Schemat elektryczny bramki NAND wykonanej w technologii TTL pokazano na rys. 1-3. Na schemacie pominięto pojemności złączeniowe poszczególnych tranzystorów, które mają wpływ na skończony czas propagacji bramki.



Rys. 1-3. Schemat elektryczny bramki NAND wykonanej w technologii TTL [1]

Maksymalny prąd wyjściowy standardowej bramki TTL w stanie niskim wynosi $I_{OLmax}=16$ mA. Jednocześnie maksymalny prąd wejściowy tej bramki dla stanu niskiego

wynosi $I_{ILmax}=1,6$ mA. Oznacza to, że do jednego wyjścia TTL podłączyć można maksymalnie 10 wejść TTL (rys. 1-4).



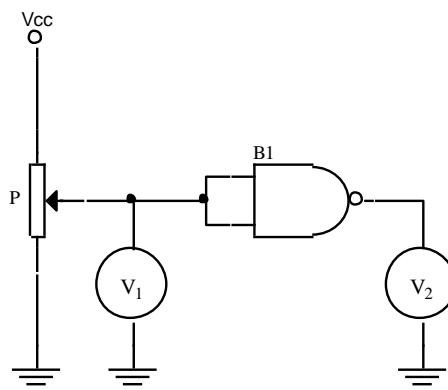
Rys. 1-4. Bramka NAND obciążona dziesięcioma wejściami TTL (także bramkami NAND)

Ponadto istnieją inne odmiany układów TTL (seria H - szybka, seria L - małej mocy, seria LS - Schottky'ego małej mocy, itd.). Od serii standardowej różnią się one poziomami napięć wejściowych i wyjściowych, maksymalnymi prądami wyjściowymi, stratami mocy, a także czasami propagacji. Więcej informacji na ich temat znaleźć można w [1] i [2].

2. Przebieg ćwiczenia

2.1. Pomiar charakterystyki przejściowej

Na początku ćwiczenia należy zmontować układ zamieszczony na rys. 2-1, służący do pomiaru charakterystyki przejściowej badanej bramki.

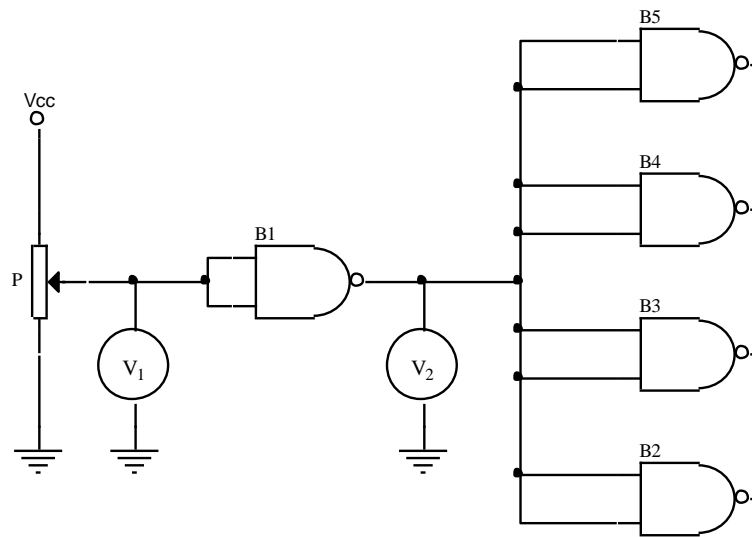


Rys 2-1. Układ do pomiaru charakterystyki przejściowej bramki NAND

Układ składa się z jednej bramki NAND, której oba wejścia zostały zwarte ze sobą. Voltomierz V_1 służy do pomiaru napięcia wejściowego U_I , a V_2 napięcia wyjściowego U_O . Napięcie na wejściu bramki regulowane jest za pomocą potencjometru P. Wykonać należy nie mniej niż 20 pomiarów, zmieniając napięcie wejściowe od 0 do 4 V. Pomiaru należy zagęścić w pobliżu punktów A i B (rys. 1-2).

2.2. Pomiar charakterystyki przejściowej pod obciążeniem

Do pomiaru charakterystyki przejściowej pod obciążeniem należy zbudować układ z rys. 2-2.



Rys. 2-2. Rozszerzony układ do pomiaru charakterystyki przejściowej bramki NAND

Bramka B1 została obciążona ośmioma wejściami TTL (bramki od B2 do B5). Także dla tego układu należy dokonać pomiaru charakterystyki przejściowej (minimum 20 punktów pomiarowych).

2.3. Pomiar charakterystyki wyjściowej bramki

Kolejny krok to pomiar charakterystyki wyjściowej (w układzie z rys. 2-2). Charakterystyka wyjściowa opisuje zależność napięcia wyjściowego U_O w funkcji prądu wyjściowego I_O przy stałej wartości napięcia wejściowego.

W celu zbadania tej charakterystyki wejściu bramki B1 należy ustawić typowe napięcie w stanie wysokim $U_{IHtyp}=3,5$ V. Dalej należy dokonać pomiarów napięcia wyjściowego U_O w funkcji prądu wyjściowego I_O . Zmiany prądu wyjściowego realizować należy poprzez odłączanie kolejnych wejść bramek B2÷B5. Przy sporządzaniu charakterystyki wyjściowej $U_O=f(I_O)$ należy przyjąć, że każda z bramek pobiera prąd o wartości 1,6 mA.

Podtemat: Synteza układów kombinacyjnych

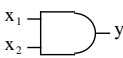
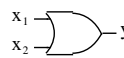
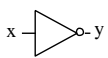
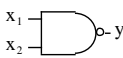

1. Wprowadzenie

1.1. Działania na zmiennych logicznych

Przy budowie układów logicznych korzystamy z pojęcia *zmiennnej logicznej*. W przeciwieństwie do zwykłej algebry zmienna ta może przyjmować tylko dwie wartości nazywane *zerem logicznym* (oznaczenie „0” lub „L”) i *jedynką logiczną* (oznaczenie „1” lub „H”). Do operacji na zmiennych logicznych wykorzystuje się scalone układy logiczne, które zawierają w swojej strukturze jedną lub więcej bramek. Każda bramka realizuje jedną funkcję logiczną. Posiada jedno lub więcej wejść oraz jedno wyjście.

W tabeli 1-1 zamieszczono opis podstawowych działań na zmiennych logicznych, oraz symbole bramek, które służą do ich realizacji.

Tabela 1-1. Podstawowe działania na zmiennych logicznych oraz symbole bramek służących do ich realizacji

nazwa funkcji		iloczyn AND	suma OR	negacja NOT	funkcja Sheffera NAND	funkcja Peirce'a NOR
symbol bramki						
wartości wejściowe		wartość wyjściowa				
x_1	x_2 (x)	y				
0	0 (0)	0	0	1	1	1
0	1 (1)	0	1	0	1	0
1	0	0	1	-	1	0
1	1	1	1	-	0	0

Jak wynika z tabeli jedynie bramka NOT jest bramką jednowejściową. Pozostałe bramki mogą mieć dwa (tak jak w tabeli 1-1) lub więcej wejść. Notacja matematyczna wyżej wymienionych działań wygląda następująco:

- iloczyn (AND) $y = x_1 \cdot x_2$,
- suma (OR) $y = x_1 + x_2$,
- negacja (NOT) $y = \bar{x}$,
- funkcja Sheffera (NAND) $y = \overline{x_1 \cdot x_2}$,
- funkcja Peirce'a (NOR) $y = \overline{x_1 + x_2}$.

Dla tych działań obowiązuje szereg praw, podanych w poniższym zestawieniu [2]:

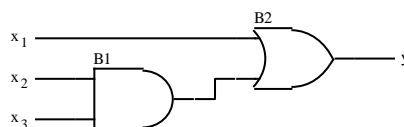
- prawa przemienności $x_1 \cdot x_2 = x_2 \cdot x_1$
 $x_1 + x_2 = x_2 + x_1$,
- prawa łączności $x_1 \cdot (x_2 \cdot x_3) = (x_1 \cdot x_2) \cdot x_3$
 $x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3$,
- prawa rozdzielności $x_1 \cdot (x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3$
 $x_1 + x_2 \cdot x_3 = (x_1 + x_2) \cdot (x_1 + x_3)$,

- prawa pochłaniania $x_1 \cdot (x_1 + x_2) = x_1$,
 $x_1 + x_1 \cdot x_2 = x_1$,
- prawa tautologii $x \cdot x = x$ i $x + x = x$,
- własności negacji $x \cdot \bar{x} = 0$ i $x + \bar{x} = 1$,
- podwójna negacja $\bar{\bar{x}} = x$,
- prawa de Morgana $\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$,
 $\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$

Poniżej pokazano przykład minimalizacji funkcji z podaniem praw, które zostały do tego celu wykorzystane:

$$\begin{aligned}
 y &= \overline{\overline{x_1 \cdot x_2} \cdot x_1 + x_2 \cdot (x_3 + x_1 \cdot x_1)} \\
 &\Downarrow \text{prawo de Morgana} \\
 y &= \overline{\overline{x_1 + x_2} \cdot x_1 + x_2 \cdot (x_3 + x_1 \cdot x_1)} \\
 &\Downarrow \text{podwójna negacja} \\
 y &= (x_1 + x_2) \cdot x_1 + x_2 \cdot (x_3 + x_1 \cdot x_1) \\
 &\Downarrow \text{prawo pochłaniania} \\
 y &= x_1 + x_2 \cdot (x_3 + x_1 \cdot x_1) \\
 &\Downarrow \text{prawo tautologii} \\
 y &= x_1 + x_2 \cdot (x_3 + x_1) \\
 &\Downarrow \text{prawo rozdzielności} \\
 y &= x_1 + x_2 \cdot x_3 + x_2 \cdot x_1 \\
 &\Downarrow \text{prawo pochłaniania} \\
 y &= x_1 + x_2 \cdot x_3
 \end{aligned}$$

Realizacja sprzętowa funkcji wynikowej pokazana została na rys. 1-2.



Rys 1-2. Sprzętowa realizacja zminimalizowanej postaci funkcji

Nietrudno zauważyć, że początkowa postać równania wymaga użycia znacznie większej ilości bramek (konkretnie dziewięciu) niż postać zminimalizowana (tylko dwóch).

1.2. Minimalizacja funkcji logicznych z wykorzystaniem tablicy Karnaugh

Ważnym środkiem pomocniczym przy uzyskiwaniu możliwie najprostszych postaci funkcji logicznej jest *tablica Karnaugh*. W tabeli 1-2 pokazano przykładową tablicę prawdy funkcji, którą chcemy zrealizować za pomocą bramek logicznych.

Tabela 1-2. Przykładowa tablica prawdy funkcji do realizacji

x_1	x_2	x_3	x_4	y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Odpowiadająca jej tablica Karnaugh'a pokazana jest na rys. 1-2.

x_1x_2 x_3x_4	00	01	11	10
00	1	1	0	1
01	1	0	0	0
11	1	0	1	1
10	1	0	1	1

Rys 1-2. Tablica Karnaugh'a dla tablicy prawdy z tabeli 1-2

Zasada budowy tablicy jest następująca. Jeżeli liczba zmiennych jest parzysta (w tym przykładzie tak jest - cztery zmienne od x_1 do x_4) buduje się tablicę kwadratową z połową zmiennych na górze i połową po lewej stronie (w tablicy z rys. 1-2 x_1 i x_2 u góry a x_3 i x_4 po lewej stronie). Jeżeli natomiast liczba zmiennych jest nieparzysta należy zbudować tablicę możliwie symetryczną (np. dla pięciu zmiennych należy zbudować tablicę z x_1, x_2, x_3 u góry i x_4 i x_5 po lewej stronie lub x_1, x_2 u góry i x_3, x_4, x_5 po lewej stronie). Dodatkowo przy wpisywaniu zmiennych do pól należy zachować taką kolejność, aby różnica wartości w sąsiadujących polach dotyczyła tylko jednej zmiennej. (np. w naszym przykładzie $x_1x_2 = 00$ w pierwszym polu, $x_1x_2 = 01$ w drugim polu, $x_2x_3=11$ w trzecim i $x_2x_3=10$ na końcu - w kolejnych przejściach zmiana tylko jednej zmiennej). Następnie tak skonstruowaną tablicę należy wypełnić wartościami funkcji. Kolejny krok to wykonanie procesu sklejania (rys. 1-3).

x_1x_2 x_3x_4	00	01	11	10
00	1	1	0	1
01	1	0	0	0
11	1	0	1	1
10	1	0	1	1

Rys 1-3. Tablica Karnaugh'a z rys 1-2 po procesie sklejania

Proces sklejania polega na zgrupowaniu wszystkich sąsiadujących pól z jedynkami w możliwie największe obszary prostokątne przy uwzględnieniu następujących zasad:

- zaznaczone obszary mogą obejmować jedynie taką liczbę pól, która jest naturalną potęgą liczby 2, np. 2, 4, 8, 16, itd. (na rys. 1-3 obszary A, B, C zawierają po 4 pola, a obszar D tylko 2 pola),
- w każdym wierszu dwa skrajne pola są dla siebie sąsiadami. To samo tyczy się poszczególnych kolumn (w skrajnym przypadku pozwala to na stworzenie takiego obszaru jak C na rys. 1-3).

Następnie dla każdego obszaru należy wyznaczyć iloczyn zmiennych wejściowych, które w danym obszarze nie ulegają zmianie. Jeżeli zmienne te mają wartość „0” do iloczynu wpisywane są zanegowane. Przykładowo dla rys. 1-3, w grupie A nie zmieniają się wartości zmiennych x_1 i x_2 co oznacza, że iloczyn zmiennych wejściowych dla obszaru A wynosi:

$$I_A = \overline{x_1} \cdot \overline{x_2}$$

Podobnie dla pozostałych obszarów mamy:

$$I_B = x_1 \cdot x_3$$

$$I_C = \overline{x_2} \cdot \overline{x_4}$$

$$I_D = \overline{x_1} \cdot \overline{x_3} \cdot \overline{x_4}$$

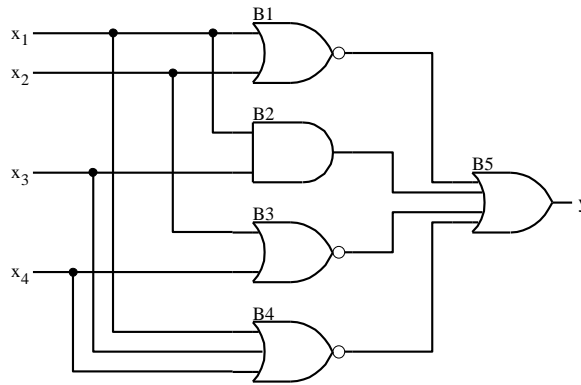
Szukaną funkcję y otrzymuje się przez zsumowanie wszystkich iloczynów:

$$y = \overline{x_1} \cdot \overline{x_2} + x_1 \cdot x_3 + \overline{x_2} \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_3} \cdot \overline{x_4}$$

↓ prawo de Morgana

$$y = \overline{x_1 + x_2} + \overline{x_1 \cdot x_3 + x_2 + x_4} + \overline{x_1 + x_3 + x_4}$$

Przykładową realizację sprzętową funkcji wynikowej pokazano na rys. 1-4.



Rys 1-4. Realizacja sprzętowa funkcji z tabeli 1-2

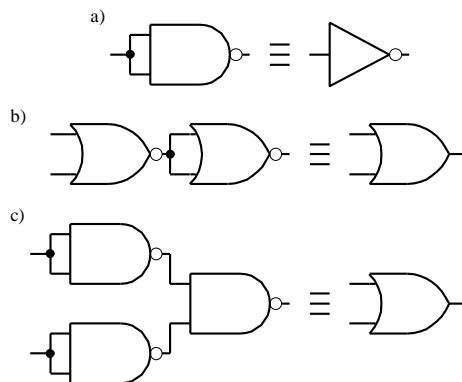
Ważne jest, aby w procesie sklejania zaznaczać możliwie największe obszary (nawet gdy prowadzi to do wielokrotnego zachodzenia obszarów na siebie). W przeciwnym bowiem razie otrzymana funkcja nie jest optymalną.

Metoda jest optymalna dla nie więcej niż czterech zmiennych wejściowych. Powyżej tej liczby obliczenia stają się trudne i długotrwałe. Dla bardziej skomplikowanych układów wykorzystywana jest metoda Quine'a - McCluskeya, która jest metodą systematyczną, a obliczenia przebiegają w sposób zalgorytmizowany. Więcej informacji na jej temat znaleźć można w [1].

2. Przebieg ćwiczenia

2.1. Realizacja podstawowych funkcji logicznych za pomocą bramek NAND i NOR

Na rys. 2-1 pokazano przykłady realizacji podstawowych funkcji logicznych za pomocą bramek NAND i NOR.



Rys 2-1. Realizacja podstawowych funkcji logicznych za pomocą bramek NAND i NOR

W punkcie tym należy zbudować każdy z układów znajdujących się po lewej stronie tożsamości. Następnie, na podstawie pomiarów, należy dla każdego z nich ułożyć tablice prawdy (stan wysoki zadajemy przez podanie napięcia zasilania na wejście bramki, a stan niski przez podłączenie danej końcówki wejściowej do masy). Na jej podstawie stwierdzić czy lewa strona tożsamości równa jest prawej.

2.2. Zastosowanie tablicy Karnaugh

W tabeli 2-1 pokazano tablicę prawdy przykładowej funkcji do realizacji. W punkcie tym należy zbudować i rozwiązać tablicę Karnaugh dla tej funkcji. Następnie należy zaproponować układ połączeń realizujących funkcję wynikową. Układ ten należy połączyć na stanowisku laboratoryjnym i na podstawie pomiarów zbadać, czy jego działanie jest zgodne z

tabelą 1-2. Ewentualna niezgodność świadczy o błędzie popełnionym przy rozwiązywaniu tablicy Karnaugh.

Tabela 2-1. Przykładowa tablica prawdy funkcji do realizacji

x_1	x_2	x_3	x_4	y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

3. Zawartość sprawozdania

Sprawozdanie powinno zawierać tablice prawd układów badanych w punkcie 2-1. Na podstawie równań z punktu 1-1 (prawa pochłaniania, tautologii, itd.) tożsamości z rys. 2-1 należy dowieść na drodze analitycznej. W sprawozdaniu należy umieścić pełny opis procesu budowania i rozwiązywania tablicy Karnaugh z punktu 2-2, razem ze schematem połączeń realizującym funkcję wynikową. Zaproponować schemat układu wykorzystującego tylko i wyłącznie bramki NAND realizującego tę funkcję.

Literatura

- [1] Kalisz J.: *Podstawy elektroniki cyfrowej*. WKŁ, Warszawa 1993.
- [2] Tietze U., Schenk Ch.: *Układy półprzewodnikowe*. WNT, Warszawa 1997.